

# 一种新型双频段可变增益低噪声放大器<sup>\*</sup>

陈迪平<sup>†</sup>, 蒋广成, 马俊

(湖南大学 物理与微电子科学学院, 湖南 长沙 410082)

**摘要:**采用 SMIC 0.13  $\mu\text{m}$  RF CMOS 工艺,设计了一款新型的双频段可变增益低噪声放大器(DBVG-LNA),应用于 GSM900/DCS1800 双频网络通讯系统中.分别采用多谐振网络和开关谐振网络完成输入输出双频段阻抗匹配,采用共栅旁路管和开关切换电阻完成 4 挡可调增益,有效地解决变频段和变增益兼容难的问题.另外,采用共源共栅差分对结构获取高隔离度和低二次谐波失真.1.2 V 电源电压,版图面积为 0.43  $\mu\text{m}$   $\times$  0.65  $\mu\text{m}$ .仿真结果表明,在 GSM900 频段电压增益 20.6~12.7 dB 4 挡可调,NF:1.45~2.05 dB;在 DCS1800 频段电压增益 19.3~11.2 dB 4 挡可调,NF:1.36~2.55 dB; $S_{11}$ 均小于-17 dB.

**关键词:**低噪声放大器;双频段;可变增益;阻抗匹配

**中图分类号:**TN402

**文献标志码:**A

## New Dual-band Variable Gain Low Noise Amplifier

CHEN Diping<sup>†</sup>, JIANG Guangcheng, MA Jun

(School of Physics and Electronics, Hunan University, Changsha 410082, China)

**Abstract:** This paper proposed a dual-band variable gain low noise amplifier (DBVG-LNA) by using SMIC 0.13  $\mu\text{m}$  RF CMOS process. The DBVG-LNA can be used in GSM900/DCS1800 dual-band wireless networking communication system. The multi-resonance network and switching resonant network are used respectively to achieve the input and output dual-band impedance matching. The common gate bypass transistor and switching resistance are used to obtain four variable gains, effectively solving the problem where the variable band and variable gain are incompatible. In addition, a cascode differential topology was used to get a high isolation and a low second harmonic distortion. With a supply power of 1.2 V, the layout area of the circuit is 0.43  $\mu\text{m}$   $\times$  0.65  $\mu\text{m}$ . The simulation results show that when the voltage gain range is 20.6~12.7 dB, NF is 1.45~2.05 dB in GSM900 band, while when the voltage gain range is 19.3~11.2 dB, NF is 1.36~2.55 dB in DCS1800 band. Moreover, both  $S_{11}$  are below -17 dB.

**Key words:** low noise amplifier; dual-band; variable gain; impedance matching

随着移动互联时代的到来,无线通讯产品支持多种通信标准成为迫切需求<sup>[1]</sup>,兼容多频段的射频

前端成为了目前热门的研究对象.除此之外,为了扩展系统动态范围,要求射频前端增益可配置.低噪声

<sup>\*</sup> 收稿日期:2016-09-17

基金项目:湖南省科技计划项目(2014FJ1003),The Planned Science and Technology Project of Hunan Province(2014FJ1003)

作者简介:陈迪平(1962-),男,湖南醴陵人,湖南大学教授

<sup>†</sup> 通讯联系人,E-mail:chdp@hnu.edu.cn

放大器常作为接收链路的第一级,其增益、线性度及噪声系数等指标直接影响接收前端的整体性能.近年来,在多标准接收机设计中,完成一款频带和增益同时可配置的低噪声放大器显得尤为重要.

有很多种实现双频段的方法,文献[2]采用三阶切比雪夫带通滤波器实现宽带输入阻抗匹配,但引入宽频段的噪声对后级镜像抑制提出更高要求.文献[3]采用工作在不同频段的低噪声放大器并联结构,面积和功耗都因此增加一倍.文献[4]论述了开关切换电感,调整谐振频率的方法,但阻抗匹配程度受限于片内电感的  $Q$  值<sup>[5]</sup>.同样也可以通过改变输入管跨导、输出负载以及增加旁路管或衰减通路等多种方法改变增益,文献[6]调整偏置电压实现增益可调,但不支持多频段.文献[4,7]虽然支持多频段,但不能提供多挡增益且均采用单端输入单端输出结构,二次谐波抑制较差.文献[1,8]在片内实现单端转差分,但片内有源巴伦对工艺依赖性强,存在一定程度的增益和相位误差,并针对不同的调制模式有不同程度的影响.

本文设计了一款应用于 GSM900/DCS1800 系统的差分低噪声放大器,输入采用片外无源阻抗匹配网络<sup>[9-10]</sup>,输出采用开关电容和抽头电感构成的并联谐振网络,获得较好的双频段阻抗匹配.低噪放

核心电路采用带源级退化电感的共源共栅差分对,获得较高的二阶交调截止点.利用共栅旁路管和 MOS 开关电阻组合的形式,在几乎不影响输入输出阻抗匹配的前提下,完成四挡增益可调.结果表明,在不同频段不同增益的情况下,输入输出阻抗匹配、噪声性能符合预期要求.

### 1 LNA 指标分析及设计

全差分低噪声放大器的整体电路如图 1 所示.  $D_1 \sim D_4$  为二极管组成的 ESD 防护电路,为了节省面积,  $L_S, L_{OUT}$  均采用抽头式电感,电路可分为以下 5 部分.输入阻抗匹配:  $L_A, L_B, L_C, C_A$  构成片外双频段阻抗匹配网络;  $C_X, C_{GS}, C_{PAD}, M_1, L_S$  及 ESD 防护电路构成片内双频段阻抗匹配网络.跨导级:  $M_1, M_2, M_3, M_4$  及  $L_S$  构成的共源共栅差分对,抑制共模信号、衬底电源噪声的同时,减小二阶交调失真.输出阻抗匹配:输出采用 RLC 并联结构,在相应频段获得较高增益的同时,滤掉带外干扰信号.增益控制:  $M_5, M_6$  构成旁路管,  $M_7, M_8$  为 MOS 开关电阻,  $M_9, M_{10}$  为增益可调辅助管,分别由  $S_1 \sim S_3$  控制.

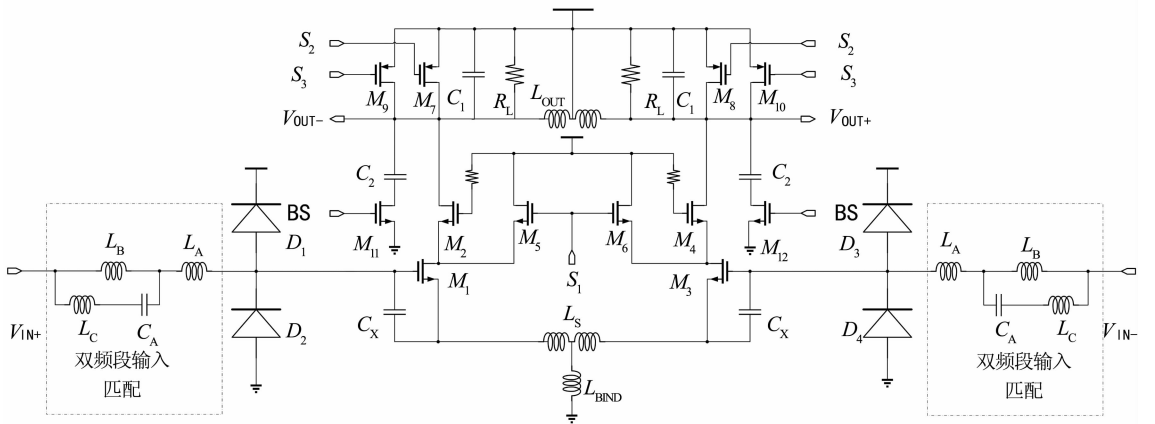


图 1 双频段增益可变低噪声放大器(DBVG-LNA)  
Fig. 1 Dual-band variable gain low noise amplifier(DBVG-LNA)

#### 1.1 噪声系数

共源共栅噪声模型如图 2 所示.由于栅感应噪声模型还未完善<sup>[11]</sup>,且“ $1/f$ ”噪声在高频处被噪声基底淹没,本文分析中只考虑无源器件电阻热噪声、栅极电阻热噪声及沟道热噪声,分别为:

$$\overline{V_n}, R^2 = 4KTR\Delta f \quad (1)$$

$$\overline{V_n}, R_g^2 = \frac{4}{3}KTR_g\Delta f \quad (2)$$

$$\overline{I_{nd}}^2 = 4KT\gamma g_{do}\Delta f \quad (3)$$

片外无源器件近似等效为图 2 矩形虚线框模型,  $Z_{in1}$  是低噪放单端输入电阻;  $R_{g1}, R_{g2}$  分别为  $M_1, M_2$  的栅极寄生电阻;  $L'_g$  为片外匹配网络等效电感;

$C_L$ 为负载电容. 源级退化电感可提供一个没有噪声贡献的实阻抗,  $C_X$ 的引入提供一个新的自由度, 方便其他元件值的选取, 但是该等效输入管的截止频率下降, 进而引起增益下降. 忽略沟道调制效应, 输入阻抗推导如下:

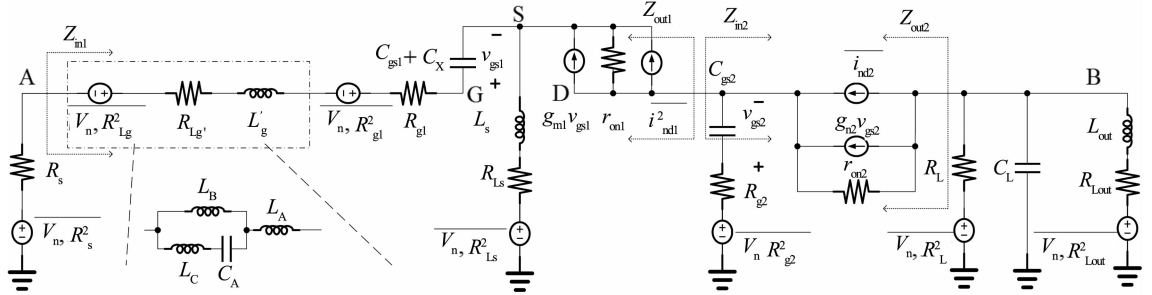


图2 共源共栅结构噪声模型  
Fig. 2 The noise model of cascode circuit

从式(4)可知, 电感的寄生电阻对实阻抗有一定贡献, 而退化电感寄生电阻的存在让谐振点往高频偏移. 本设计采用1:1的巴伦, 理想情况下, 两路差分输入阻抗虚部为0且实部为 $25\ \Omega$ , 输入界面无反射, 功率传输最大. 输入回路可以等效为RLC串联谐振, 忽略寄生电阻可得输入回路Q值:  $Q_{in} \approx 1/2\omega R_s(C_{gs} + C_X)$ ; 输入谐振频率:  $\omega \approx 1/\sqrt{(L_s + L_g')(C_X + C_{gs1})}$ ; 共源输出阻抗:  $Z_{out1} \approx (2r_{on1} + sL_s)//1/sC_D$ ;

$L_s \ll L_g'$ ,  $C_D < C_X$ ,  $\omega^2 L_s C_D \ll 1$ , 则  $M_2$  等效跨导:

$$G_{m2} \approx \frac{-g_{m2} r_{on2}}{r_{on2} + (1 + g_{m2} r_{on2}) Z_{out1}} \approx \frac{-g_{m2} \cdot (2r_{on1} C_D s - \omega^2 L_s C_D + 1)}{1 + 2g_{m2} r_{on1} - \omega^2 L_s C_D + (g_{m2} L_s + 2r_{on1} C_D) s} \quad (6)$$

低频时等效跨导约为  $-g_{m2}/(1 + 2g_{m2} r_{on1})$ , 随着频率上升,  $g_{m2}$  增加, 共栅管对噪声的贡献增加.

根据图2给出的噪声模型, 可推导LNA工作在DCS1800频段且增益挡位最大时噪声因子表达式:

$$F \approx 1 + \frac{R_{g1} + R_{Lg'} + R_{Ls}}{R_s} + g_{m1} R_s \gamma \left(\frac{\omega_0}{\omega_T}\right)^2 + 4R_s \left(\frac{\gamma}{g_{m2}} + R_{g2}\right) \left(\frac{g_{m2} \omega_0}{\omega_T}\right)^2 + \frac{4R_s Z_{out2}}{R_{L, total} + Z_{out2}} \left(\frac{\omega_0}{\omega_T}\right)^2 \quad (7)$$

其中  $\omega_0$  为谐振频率,  $R_{Lg'}$  为片外匹配网络等效寄生电阻,  $R_{Ls}$  为源级电感寄生电阻.  $R_{L, total}$  为等效

$$\text{Re}(Z_{in1}) = \frac{g_{m1} L_s}{C_{gs1} + C_X} + R_{Ls} + R_{g1} + R_{Lg'} \quad (4)$$

$$\text{Im}(Z_{in1}) = s(L_s + L_g') + \frac{1 + g_{m1} R_{Ls}}{s(C_{gs1} + C_X)} \quad (5)$$

输出负载约为  $R_L // \frac{\omega^2 L_{out}^2}{R_{Lout}}$ .

从式(7)可知, 为减小噪声因子, 需提高晶体管截止频率, 减小输入匹配电路和栅极寄生电阻. 为减小高频时共栅管噪声贡献, 需减小共源管漏极寄生电容  $C_D$ . 本设计中,  $M_1, M_3$  采用最小沟道长度晶体管, 保证输入匹配的前提下, 尽量减小  $C_X$  电容, 以此增加  $\omega_T$ . 片外采用高Q值电感, 输入管采用多指结构版图, 进一步减小噪声系数. 以上分析针对LNA工作于DCS1800频段且最大增益情况下, 当切换增益和切换频带时, 增加的MOS管会进一步恶化噪声性能.

## 1.2 双频段

图1中, 当BS为0电平时,  $M_{11}, M_{12}$  关闭,  $C_1, R_1, L_{out}$  谐振在DCS1800频段; 反之,  $M_{11}, M_{12}$  开启,  $C_1 \parallel C_2, R_1, L_{out}$  谐振于GSM900频段. LNA输入匹配电路及阻抗随频率变化曲线如图3所示, 其中右边虚线代表M模块的阻抗, 实线代表AB两端输入阻抗. 由式(5)可知, 为了消除输入阻抗中的虚部, 在高频段需要一个较小的电感, 在低频段需要一个较大的电感. 本文选易实现的双频段输入匹配方案: 首先预设  $C_A, L_C$  初始值, 使两者在  $\omega_2$  串联谐振; 然后先并联一个电感  $L_B$ , 再串联一电感  $L_A$ , 接入电路使得输入阻抗匹配网络在  $\omega_2$  处谐振; 然后调整  $L_B$  的值, 使M模块在  $\omega_1$  提供一个感抗, 使得输入阻抗匹配网络在  $\omega_1, \omega_2$  处同时处于谐振状态; 最后重复以上步骤, 对其电容电感进行微调, 使得输入匹配电路在GSM900及DCS1800均处于较优谐振.

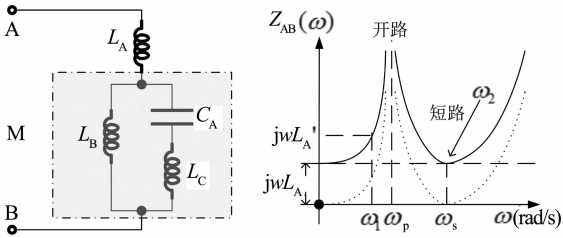


图3 双频段输入网络

Fig. 3 Input network of dual-band

图4(a)为LNA输出匹配电路,同等驱动能力下,选用NMOS型开关管较PMOS贡献更小的寄生电容.当工作于GSM900频段,开关管开启时,导通电阻 $r_{on11}$ 与 $C_2$ 串联,等效并联电阻为 $R_p = 1/(\omega \cdot C_2)^2 r_{on11}$ ,该电阻与 $R_L$ 并联,设考虑导通电阻时的增益为 $A_V$ ,忽略导通电阻时的增益为 $A_V'$ ,推导如下:

$$A_V = G_m R_L = G_m \pi f_{Low} Q_{L_{OUT}} L_{OUT} \quad (8)$$

$$A_V' = G_m \left\{ (\pi f_{Low} Q_{L_{OUT}} L_{OUT}) // \left( \frac{f_{Low}^2 C_2^2 r_{on11}}{4} \right) \right\} \quad (9)$$

假定开关管导通电阻为 $1 \Omega$ ,  $C_2 = 18 \text{ pF}$ ,  $Q(L_{OUT}) = 15$ ,  $f_{Low} = 915 \text{ MHz}$ ,相对不考虑导通电阻时,增益约下降 $7.28 \text{ dB}$ .为了减小增益的衰减,应选用宽长比大的开关管,以此减小导通电阻.当工作于DCS1800频段,开关管关闭,假定 $C_p \approx 0.1 \times C_1$ ,则由于 $C_p$ 的存在,输出匹配网络谐振点往低频方向偏移 $10\%$ .为了减小该项分量引起输出谐振点的偏移,首先在设计电路初应预留可容忍的偏移裕度,其次应选用较小尺寸的开关管.折中考虑大尺寸开关管将引起高频段谐振点的偏移及小尺寸开关管将引起增益的衰减,本文首先单独仿真开关管,最终确定 $M_{11}$ ,  $M_{12}$ 尺寸为 $(400/0.13) \mu\text{m}$ .

### 1.3 可变增益

图4(b)给出增益可调的半边电路, $S_1$ 开启时 $M_5$ 将流过一部分信号电流,当 $M_2$ 和 $M_5$ 尺寸相同时,电压增益约下降一倍.当 $S_2$ 或 $S_3$ 开启时,其导通电阻与 $R_L$ 并联.假定导通电阻等于 $R_L$ ,电压增益下降 $6 \text{ dB}$ .

$M_5$ 开启时有: $Z_{in2} \approx 1/g_{m2} + 1/g_{m5} < 1/g_{m2}$ ,  $M_1$ 的栅漏增益减小,密勒电容折合到输入端的电容减小,因此 $S_{11}$ 往高频偏移;因为 $M_5$ 远离输出谐振电路,所以对输出影响较小.  $M_7$ 的寄生电容直接影响输出谐振点,并往低频偏移;而cascade结构的反向隔离度较好,其对 $S_{11}$ 的影响较小.综合考虑两者的优缺点,本文采用 $M_5$ 粗调增益 $M_7$ 微调增益结

合的结构,在输入输出阻抗匹配频率偏移允许的范围,在两个频段下完成4挡可调增益.

$M_5$ 与共栅管 $M_2$ 类似,在导通时,其沟道热噪声及栅极电阻热噪声对噪声系数有一定贡献.而 $M_7$ 导通时,线性区沟道热噪声也会增加噪声系数.因此最低增益挡位,噪声性能最差.

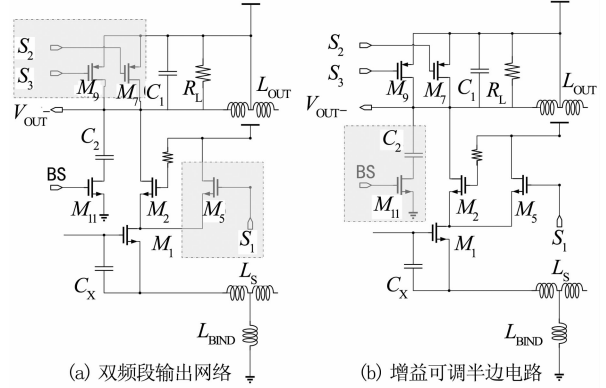


图4 (a)双频段输出网络 (b)增益可调半边电路

Fig. 4 (a)Output network of dual-band

(b)Single side circuit of variable gain

## 2 LNA 优化及版图实现

### 2.1 电路优化

$M_7$ 开启时的寄生电容对应的阻抗随着频率的增加而减小,所以在GSM900频段, $M_7$ 开关引起的增益差小于DCS1800频段.如图1所示,为了使得双频段对应的相邻挡位增益差相差不大,引入增益辅助管 $M_9$ ,  $M_{10}$ .高频段不开启,低频段工作状态和 $M_7$ 一致,即 $S_3 = \overline{BS} + S_2$ .

噪声优化分为电路结构优化和版图优化.首先在功率约束下进行噪声优化,来选定输入管的宽度.其次,由公式(5)可知,噪声主要由输入管栅感应噪声(第2项)和输入管沟道热噪声(第3项)构成.本设计将低噪放有源部分生成S参数,加入ADS中进行阻抗匹配设计,使用调谐软件进一步优化噪声性能.单芯片中射频端口采用射频二极管做ESD防护,二极管和焊盘大概贡献 $300 \text{ fF}$ 的寄生电容.除此之外,频段切换开关、增益切换开关也会引入一定的寄生电容,所以输入输出谐振点都会因此而产生频率偏移.在设计之初,负载电容减小相应的值,并留有一定的裕度,以保证输入输出谐振点在一定的范围.本设计中输出端采用 $2.4 \text{ nH}$ 的抽头电感,高频段 $C_1 = 2.8 \text{ pF}$ ,低频段 $C_1 = 17.9 \text{ pF}$ 的电容.

### 2.2 芯片实现

图5给出DBVG-LNA芯片整体版图,版图面积为 $0.43\ \mu\text{m} \times 0.65\ \mu\text{m}$ .版图分为LNA\_core、数字控制、LDO、Bias以及ESD 5部分.

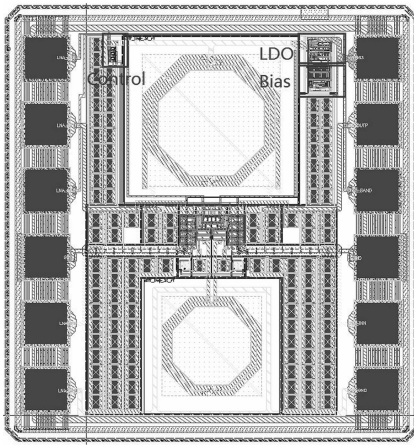
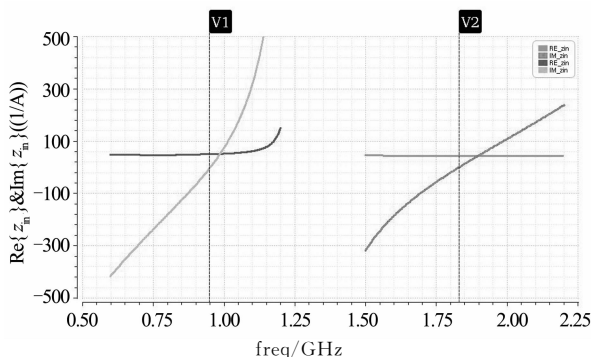


图5 芯片版图  
Fig. 5 The layout of chip

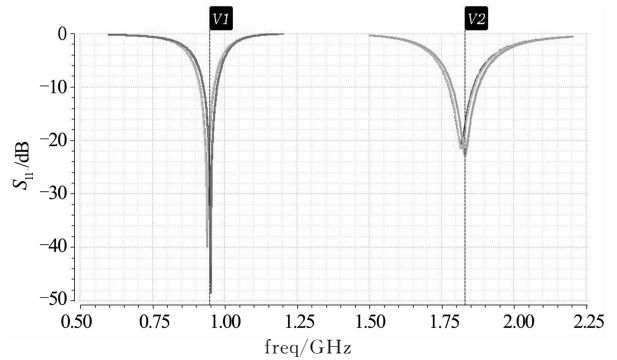
整体版图采用中心对称结构,器件之间采用局部匹配,保证较好的谐波抑制的同时,减小输出与输入的反向传输,避免系统振荡.采用紧凑布局设计开关管,减小寄生电容.加宽走线,减小开关管导通电阻,进而避免增益的损失.采用高层金属走射频信号线,减小射频信号与衬底间的耦合,采用带有隔离环的射频MOS管,并在LNA\_core电路周围加入保护环,以此隔离模块与衬底及模块与模块之间的干扰,提高噪声性能.

### 3 LNA 仿真结果及分析

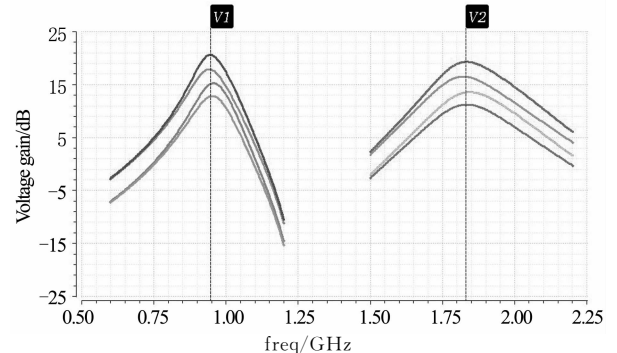
本设计采用带封装参数的TDK电感电容完成阻抗匹配,在ADS中仿真并导出S参数,最终在Cadence中联合仿真验证,结果如图6所示.



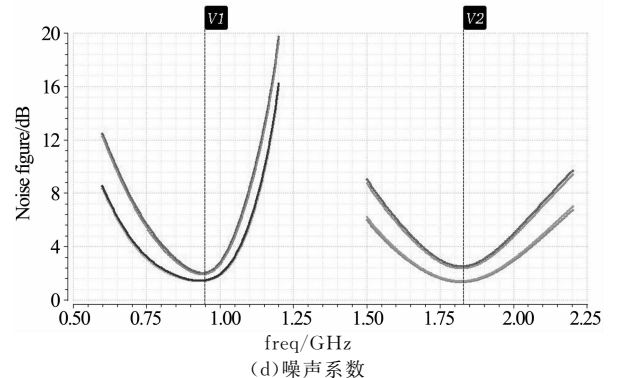
(a) 最低增益挡时输入阻抗



(b) 输入反射系数



(c) 电压增益



(d) 噪声系数

图6 低噪声放大器仿真结果

Fig. 6 The simulation results of LNA

当BS为高电平时,DBVG-LNA工作在GSM900频段,当“S1S2S3”分别为“011”,“000”,“111”,“100”时,电压增益分别为20.6 dB,17.8 dB,15.1 dB,12.7 dB;NF分别为1.45 dB,1.49 dB,1.95 dB,2.05 dB;S<sub>11</sub>分别为-18.8 dB,-20.3 dB,-25.2 dB,-24.4 dB.当BS为低电平时,DBVG-LNA工作在DCS1800频段,当“S<sub>1</sub>S<sub>2</sub>S<sub>3</sub>”分别为“011”,“000”,“111”,“100”时,电压增益分别为19.3 dB,16.5 dB,13.5 dB,11.2 dB;NF分别为1.36 dB,1.44 dB,2.4 dB,2.55 dB;S<sub>11</sub>分别为-17 dB,-18 dB,-22.5 dB,-22.8 dB.因为DBVG-LNA后接MIXER,S<sub>22</sub>不是关键指标,但单独测试DBVG-LNA时,需要匹配到50Ω,该芯片测试电路,S<sub>22</sub>均小于-15 dB.现有变频段变增益低噪声

放大器与本设计性能参数比较如表1所示。相对文献[2]采用的宽带结构,本文提出的低噪放输入匹配、噪声性能及功耗均占优;文献[4]采用窄带结构,不支持多挡增益。文献[12]提出的低噪放增益可调且支持两个频段,输入匹配较好。但噪声性能较差,功耗约为本文的2倍,版图面积约为本文的5倍。

表1 低噪声放大器性能的比较

Tab. 1 Comparison of proposed LNA performance

参数	文献[2]	文献[4]	文献[12]	本文
工艺/ $\mu\text{m}$	0.18	0.18	0.18	0.13
频率/GHz	0.9~2.25	2.3~2.5 5.1~5.3	2.4 5.25	0.93~0.96 1.80~1.83
电压增益 <sup>1</sup> /dB	$12^2 \sim 29^2$	$15^2$	$16.6^1 \sim 19.9^1$	$12.7^1 \sim 20.6^1$
功率增益 <sup>2</sup> /dB		$15^2$	$16.2^1 \sim 2.63^1$	$11.2^1 \sim 19.3^1$
NF/dB	1.5~5.5	2.3 2.4	2.856 3.094	1.45~2.05 1.36~2.55
$S_{11}$ /dB	$< -11$	$< -13$ $< -15$	$-25.5$ $-22.7$	$< -18.5$ $< -17$
面积 (mm $\times$ mm)	—	0.9 $\times$ 0.9	1.25 $\times$ 1.26	0.43 $\times$ 0.65
功耗/mW	17.19	9 5.04	16.78	8.7

## 4 结 论

本文在对现有多频段可变增益低噪声放大器的分析与总结的基础上,针对变增益与变频段兼容问题,提出了一款新型双频段增益可调低噪声放大器。通过增加旁路管和可变负载调节增益,通过片外多谐振网络和切换负载电容完成输入输出双频段匹配。该低噪放在 GSM900 频段电压增 20.6~12.7 dB 4 挡可调,噪声系 1.45~2.05 dB,输入反射系数小于-18 dB;在 DCS1800 频段电压增 19.3~11.2 dB 4 挡可调,噪声系数 1.36~2.55 dB,输入反射系数小于-17 dB,版图面积仅为 0.43  $\mu\text{m} \times$  0.65  $\mu\text{m}$ 。结果表明,该低噪声放大器能够满足多标准可配置接收机要求。

## 参 考 文 献

[1] KYOOHYUN Lim, SUNKI Min, SANGHOON Lee, *et al.* A 2x2 mimo tri-band dual-mode direct-conversion cmos transceiver for worldwide wimax/wlan applications[J]. Journal of Solid-State Circuits: IEEE Solid-State Circuits Society, 2011, 46 (7):1648-1658.

[2] LI Songting, LI Jiancheng, WANG Jinzhen, *et al.* Design of 900 ~ 2 250 MHz broad-band differential LNA with variable gain [C]// 2010 International Conference on Computer Application and System Modeling (ICCASM 2010). Taiyuan, 2010: 581-587.

[3] ZHANG Pengfei, DER L, GUO Dawei, *et al.* A single-chip dual-band directconversion IEEE 802.11a/b/g WLAN transceiver in 0.18  $\mu\text{m}$  CMOS[J]. Journal of Solid-State Circuits: IEEE Solid-State Circuits Society, 2005, 40(9):1932-1939.

[4] YOO S S, YOO H J. A compact reconfigurable LNA for single path multistandard receiver [C]// Electron Devices and Solid-State Circuits, IEEE Conference on. Tainan, 2007:461-464.

[5] 曾健平,戴志伟,杨浩,等.一种具有0.5dB噪声系数的450~470MHz单片集成LNA[J].湖南大学学报:自然科学版,2014,41(2):91-94.

ZENG Jianping, DAI Zhiwei, YANG Hao, *et al.* A monolithic 450 ~ 470 MHz LNA of 0.5dB noise figure[J]. Journal of Hunan University: Natural Sciences, 2014, 41(2):91-94. (In Chinese)

[6] ALAM S K, DEGROAT J. A 2 GHz variable gain low noise amplifier in 0.18- $\mu\text{m}$  CMOS [C]// 48th Midwest Symposium on Circuits and Systems, 2005. Covington, KY, 2005: 623-626.

[7] WU Changching, YEN Albert, CHENG Yu, *et al.* A switched gain low noise amplifier for ultrawideband wireless applications [C]// 2007 IEEE Radio and Wireless Symposium. Long Beach, CA, 2007: 193-196.

[8] AZEVEDO F, FORTES F J, Caldinhas Vaz and M. J. Rosario. A dual-band 1.7V CMOS variable gain low noise amplifier [C]// Design & Technology of Integrated Systems in Nanoscale Era, International Conference on. Rabat, 2007:204-207.

[9] SILVA F G S, LIMA R N de, NASCIMENTO S M, *et al.* A design methodology for concurrent impedance matching networks based on multiresonant circuits [C]// New Circuits and Systems Conference, 2011 IEEE 9th International. Bordeaux, 2011:386-389.

[10] SILVA F G S, LIMA R N de, FREIRE R C S. A 433/915 MHz class AB discrete power amplifier based on multiresonant circuits [C]// Integrated Circuits and Systems Design, 2013 26th Symposium on. Curitiba, 2013:1-6.

[11] DER ZIEL A V. Thermal noise in field effect transistors[J]. Journal of Solid-State Circuits, 1962, 50(8):1808-1812.

[12] SUNG G M, ZHANG X J. A 2.4 GHz/5.25 GHz CMOS variable gain low noise amplifier using gate voltage adjustment [C]// 2013 IEEE 5-6th International Midwest Symposium on Circuits and Systems. Columbus, OH, 2013:776-779.